

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-293776

(43)Date of publication of application : 05.11.1996

(51)Int.Cl.

H03K 17/693

H01P 1/15

H03K 17/00

(21)Application number : 07-

(71)Applicant : SONY CORP

123112

(22)Date of filing :

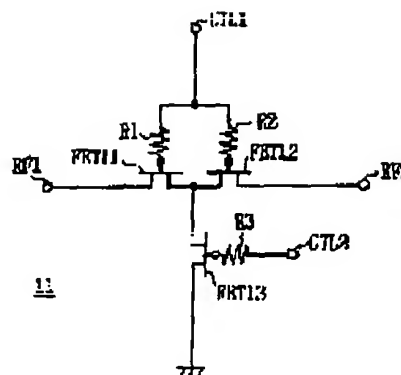
24.04.1995 (72)Inventor : KOHAMA KAZUMASA

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## (57)Abstract:

PURPOSE: To realize low insertion loss and high isolation, and also, to attain miniaturization and low cost by combining a first and a second FETs connected in series to a signal path and a third FET connected between this connection middle point and a ground area.

CONSTITUTION: A switch circuit 11 is constituted by connecting the first FET 11 and the second FET 12 in series to the signal path, and also, connecting the third FET 13 between the connection middle point of these first FET 11 and second FET 12 and the ground area. Then, when the first FET 11 and the second FET 12 are turned on at the same time, and the third FET 13 is turned off, the signal path is turned on. Besides, when the first FET 11 and the second FET 12 are turned off at the same time, and the third FET 13 is turned on, the signal path is turned off. Since the switch circuit 11 can be constituted by combining three FETs in this way, the miniaturization can be made compatible.



## LEGAL STATUS

[Date of request for examination]

09.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-293776

(43)公開日 平成8年(1996)11月5日

(51)Int.Cl. <sup>8</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 K 17/693		9184-5K	H 0 3 K 17/693	A
H 0 1 P 1/15			H 0 1 P 1/15	
H 0 3 K 17/00		9184-5K	H 0 3 K 17/00	E

審査請求 未請求 請求項の数14 F D (全 14 頁)

(21)出願番号 特願平7-123112

(22)出願日 平成7年(1995)4月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 小浜 一正

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】本発明は低挿入損失及び高アイソレーションと回路全体の小型化を同時に実現する半導体集積回路装置を得る。

【構成】信号経路に対して第1及び第2のFETをシリーズに接続すると共に、これら第1及び第2のFETの接続中点とグランド領域との間に第3のFETを接続してスイッチ回路を構成する。

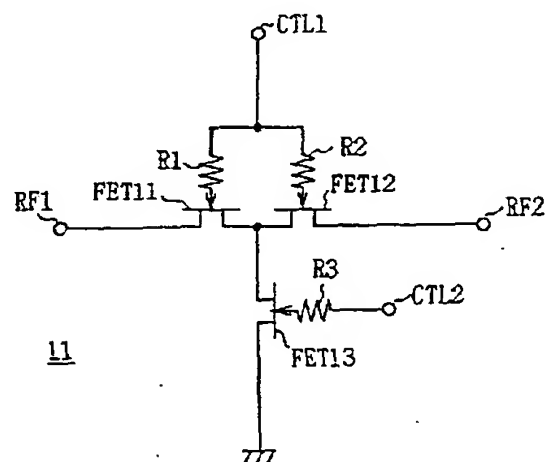


図1 実施例によるSPSTスイッチ回路(1)

## 【特許請求の範囲】

【請求項1】信号経路に対してシリーズに接続された第1及び第2のFETと、

上記第1及び第2のFETの接続中点とグランド領域との間に接続された第3のFETと、

上記第1のFETのゲート端子と、当該第1のFET及び上記第2のFETを制御する第1の制御端子との間に接続された第1の高インピーダンス素子と、

上記第2のFETのゲート端子と上記第1の制御端子との間に接続された第2の高インピーダンス素子とを具えることを特徴とする半導体集積回路装置。

【請求項2】第1の信号端子と第2の信号端子とを連絡する第1の信号経路に対してシリーズに接続された第1及び第2のFETと、

上記第1及び第2のFETの接続中点と第1のグランド領域との間に接続された第3のFETと、

上記第1のFETのゲート端子と、当該第1のFET及び上記第2のFETを制御する第1の制御端子との間に接続された第1の高インピーダンス素子と、

上記第2のFETのゲート端子と上記第1の制御端子との間に接続された第2の高インピーダンス素子と、

上記第1の信号端子と第3の信号端子とを連絡する第2の信号経路に対してシリーズに接続された第4及び第5のFETと、

上記第4及び第5のFETの接続中点と第2のグランド領域との間に接続された第6のFETと、

上記第4のFETのゲート端子と、当該第4のFET及び上記第5のFETを制御する第2の制御端子との間に接続された第2の高インピーダンス素子と、

上記第2のFETのゲート端子と上記第1の制御端子との間に接続された第2の高インピーダンス素子とを具えることを特徴とする半導体集積回路装置。

【請求項3】半導体基板上に設けられたバイアス用DC信号線のうちRF信号線に近距離で並列する部分の一部又は全部が、絶縁層を挟んで設けられたグランド電位の金属パターンによって被覆されていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項4】半導体基板上に設けられたバイアス用DC信号線のうちRF信号線に近距離で並列する部分の一部又は全部が、絶縁層を挟んで設けられたグランド電位の金属パターンによって被覆されていることを特徴とする請求項2に記載の半導体集積回路装置。

【請求項5】上記第3のFETに接続されているグランド領域は半導体基板上の他のグランド領域に対して直流的に分離して設けられていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項6】上記第1のグランド領域と上記第2グランド領域とは互いに直流的に分離されており、かつ上記第1及び第2のグランド領域はそれぞれ半導体基板上の他のグランド領域に対しても直流的に分離されていること

を特徴とする請求項2に記載の半導体集積回路装置。

【請求項7】上記第1及び第2のFETのソース端子及び又はドレイン端子が上記グランドより抵抗を介してバイアスされていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項8】上記第1及び第2のFETのソース端子及び又はドレイン端子が上記第1のグランド領域より抵抗を介してバイアスされており、

かつ上記第4及び第5のFETのソース端子及び又はドレイン端子が上記第2のグランド領域より抵抗を介してバイアスされていることを特徴とする請求項2に記載の半導体集積回路装置。

【請求項9】上記第3のFETは容量を介して上記グランド領域に接続されていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項10】上記第3のFETは第1の容量を介して上記第1のグランド領域に接続されており、

かつ上記第6のFETは第2の容量を介して上記第2のグランド領域に接続されていることを特徴とする請求項2に記載の半導体集積回路装置。

【請求項11】上記第1、第2及び第3のFETのソース端子及び又はドレイン端子はバイアスラインに一端が接続された抵抗を介してバイアスされることを特徴とする請求項9に記載の半導体集積回路装置。

【請求項12】上記第1、第2及び第3のFETのソース端子及び又はドレイン端子はバイアスラインに一端が接続された抵抗を介してバイアスされており、

かつ上記第4、第5及び第6のFETのソース端子及び又はドレイン端子は上記バイアスラインに一端が接続された抵抗を介してバイアスされていることを特徴とする請求項10に記載の半導体集積回路装置。

【請求項13】上記バイアスラインと上記グランド領域との間には容量が接続されており、当該容量のインピーダンスは上記抵抗のインピーダンスのほぼ30%以下であることを特徴とする請求項11に記載の半導体集積回路装置。

【請求項14】上記バイアスラインと上記第1及び第2のグランド領域との間には容量が接続されており、当該容量のインピーダンスは上記抵抗のインピーダンスのほぼ30%以下であることを特徴とする請求項12に記載の半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【目次】以下の順序で本発明を説明する。

産業上の利用分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

作用

実施例

## (1) SPSTスイッチ回路

## (1-1) T型SPSTスイッチ回路

## (1-2) バイアス用抵抗付きT型SPSTスイッチ回路

## (1-3) DCカット容量付きT型SPSTスイッチ回路

## (2) SPDTスイッチ回路

## (2-1) DCカット容量付きSPDTスイッチ回路

## (2-2) シヤントFETにDCカット容量を付けたSPDTスイッチ回路

## (3) グランド金属によるDCバイアス配線のシールド付きSPDT回路

## (4) 他の実施例

## 発明の効果

## 【0002】

【産業上の利用分野】本発明は半導体集積回路装置に関する。特に低挿入損失と高アイソレーションの両立が要求されるスイッチ回路を含むものに適用して好適なものである。

## 【0003】

【従来の技術】今日、移動体通信ビジネス（例えば自動車電話や携帯電話）の発展は目覚ましい。ところが通信ビジネスの発展に伴い、都市部における通信回線の不足が深刻化してきており、各国で様々な移動体通信システムの実用化が検討され始めている。これら通信システムの多くではデジタル通信方式の採用が進められており、通信帯域としても現システムよりも高い周波数帯である準マイクロ波帯域の採用が進められている。

【0004】さてこれら通信システムの通信端末では、多くの場合、信号処理部に半導体電界効果トランジスタ(FET)を用いている。特に携帯性が重要視される携帯端末の場合、小型化、低電圧駆動化及び低消費電力化を実現できるICとしてGaAs・FETを使用したモノリシック・マイクロウェーブIC（以下、MMIC (Monolithic Microwave IC) という）の開発が重要になってきている。中でも携帯端末内で高周波信号を切り替える高周波スイッチがキーデバイスの1つになっている。

【0005】FETをスイッチとして使用する場合、その動作状態の切り換えはゲート電極に印加するバイアスの切り換えによる。例えばゲート電極にFETのピンチオフ電圧より充分高いバイアスを印加すればドレインソース間を低インピーダンス化し、FETをオン状態にできる。また逆にゲート電極にFETのピンチオフ電圧より充分低いバイアスを印加すればドレインソース間を高インピーダンス化し、FETをオフ状態にできる。このようにFETのドレインソース間のインピーダンスはFETの動作状態によって大きく異なる。

【0006】現在市販されているGaAs・FETの場合、オン状態のときの等価回路は抵抗成分とみなし得、

またオフ状態のときの等価回路は容量成分と近似できる。因にFETの抵抗値及び容量値はそれぞれ、FETの単位ゲート幅 $W_g$  当たり、数 $[\Omega/\text{mm}]$ 、数百 $[\text{fF}/\text{mm}]$ 程度となる。例えばオン抵抗 $R_{on}$ は $2[\Omega/\text{mm}]$ 、容量 $C_{off}$ は $300[\text{fF}/\text{mm}]$ となる。

【0007】ここでFETのゲート幅 $W_g$ を $1[\text{mm}]$ 程度とすると、 $2[\text{GHz}]$ の信号帯域に対するオン状態での損失は $0.2[\text{dB}]$ 程度と低挿入損失を実現できる。その一方でオフ状態でのドレインソース間のアイソレーションは $10[\text{dB}]$ 以下となり、FET単独では低挿入損失と高アイソレーションの両立は難しい。

【0008】このため準マイクロ波帯以上の周波数では、信号経路に対してシリーズの位置にあるFETとシヤントの位置にあるFETとを組み合わせたスイッチ回路を用いることにより高アイソレーションと低挿入損失との両立を図っている。これは等価的に容量 $C_{off}$ となるオフ状態のシリーズFETを介して漏れ出たRF信号をオン状態にあるシヤントFETよりGNDに引き込むことができることによる。これによりアイソレーションの向上を実現している。

【0009】因にシリーズFETのみで高アイソレーションを実現するにはFETのゲート幅を小さくすれば良いが、このようにするとFETのオン抵抗 $R_{on}$ が増加するため挿入損失の悪化を避けられない。また逆にシヤントFETのみとすると、低周波域のアイソレーションが十分でなくなる問題がある。

## 【0010】

【発明が解決しようとする課題】シリーズFETとシヤントFETを組み合わせたスイッチ回路の一般例として図13に示すものがある。図はSPDT (Single Pole Dual Throw) スwitch回路を示している。図から分かるように、SPDTスイッチ回路は信号経路に対してシリーズに接続されたFET1個とシヤントに接続されたFET1個との組み合わせによつて構成されている。

【0011】スイッチ回路をこの構成にすると、 $1.9[\text{GHz}]$ 帯域の信号に対する挿入損失を $1[\text{dB}]$ 以下にでき、同時にアイソレーションを $23\sim 31[\text{dB}]$ とすることができる。このアイソレーション特性は携帯端末のアンテナを切り換えるような用途には充分な特性である。ところが次のような用途に用いる場合には不十分である。

【0012】例えばコードレス電話システムであるPHSシステムがこの用途にあたる。PHSシステムはTDMA (Time Division Multiple Access) 方式、すなわち同一周波数を送信と受信に用いる方式である。このためRF信号とIF信号との周波数変換に用いられるミキサでは送信用及び受信用としてそれぞれ同一周波数の局部発振(LO)信号が必要となる。

【0013】この場合、送信用及び受信用にそれぞれLO信号用のシンセサイザを2個用意してもいいが、実装

面積が大きくなり、また、コストアップにつながる。このことは低コスト化と小型化が必須の携帯端末にとって好ましくない。そこで1つのシンセサイザを送信と受信とに共用する方式を用いる場合が多い。

【0014】このとき、この部分で用いられるスイッチでは、例えばPHSシステムでは、1.66 [GHz] の信号に対して80 [dB] 以上のアイソレーションを要求される場合がある。このように通信端末では、準マイクロ波帯において、非常に大きなアイソレーションを必要とするスイッチが要求される。このように通信端末には、小型化、低コスト化及び低電圧化、低電力化が必須要件となるため、準マイクロ波帯で大きなアイソレーションが確保できるGaAs・MMICによるスイッチの製品化が望まれている。

【0015】上記のような高アイソレーションスイッチを実現するために、例えば信号線路に対してシリーズFETとシヤントFETの組み合わせで構成される基本的なT型スイッチ回路を3段接続することが考えられている。この構成のスイッチ回路の場合、1.9 [GHz] 帯域の信号についてのアイソレーションとして60 [dB] が達成される。

【0016】しかしこのMMICはSPSTスイッチであり、LO信号の切換え等に用いる場合にはこの構成のスイッチ回路が2個必要となる。またチップ面積も1個当たり0.6 [mm] × 0.9 [mm] だけ必要となり、SPSTスイッチとしては比較的大型になる。従って小型化、低コスト化という点で未だ問題がある。また挿入損失も1.6 [dB] と比較的大きい。

【0017】因に低コスト化を実現するという点では小型樹脂パッケージを用いたSPDTスイッチMMICが考えられる。これは信号電極間にグランド電極を設けることにより、スイッチICのアイソレーション特性の向上を図るものである。しかしこの工夫により達成されているアイソレーションは、L帯において、28.66 [dB] であり、十分なアイソレーションを確保したとは言いがたい。以上のように、小型化と低コスト化を実現しながら準マイクロ波帯で大きなアイソレーションを示すスイッチは現存しておらず、現在の技術で実現することは困難である。

【0018】本発明は以上の点を考慮してなされたもので、低挿入損失と高アイソレーションを実現し、同時に小型化及び低コスト化を実現できるスイッチ回路を含む半導体集積回路装置を提案しようとするものである。

【0019】

【課題を解決するための手段】かかる課題を解決するため本発明においては、信号線路に対して第1及び第2のFETをシリーズに接続すると共に、これら第1及び第2のFETの接続中点とグランド領域との間に第3のFETを接続してスイッチ回路を構成する。

【0020】

【作用】第1及び第2のFETが同時にオンし、かつ第3のFETがオフしたとき、信号線路がオンになる。また第1及び第2のFETが同時にオフし、かつ第3のFETがオンしたとき、信号線路がオフになる。

【0021】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0022】(1) SPSTスイッチ回路

(1-1) T型SPSTスイッチ回路

図1にSPSTスイッチ回路の基本構成を示す。このスイッチ回路11は信号線路(信号入力端RF1-信号出力端RF2)に対してシリーズに2つのFET11及びFET12を接続し、これら2つのFET11及びFET12の接続中点からシヤントにFET13を接続したT型構造を特徴としている。このうち信号線路に対して直列に接続されているFET11及びFET12については制御端子CTL1に印加される制御電圧によって同時にオン又はオフ状態に制御されるようになされている。

【0023】他方、信号線路に対してシヤントに接続されたFET13については制御端子CTL2に印加される制御電圧によってFET11及びFET12とは相補的にオン又はオフ状態に制御されるようになされている。以上の構成によれば、スイッチ回路11は信号線路に対して2つのFET11及びFET12がシリーズに接続されていることにより、信号線路に対して1つのFETが接続されている場合に比して合成容量Coeffを小さくでき、アイソレーションを高めることができる。しかも素子数は従来回路(図13)に比して1個増えるだけで済むことによりチップ面積も小さくて良い。これにより低挿入損失及び高アイソレーションを両立しつつ小型で安価なスイッチ回路を実現できる。

【0024】(1-2) バイアス用抵抗付きT型SPSTスイッチ回路

図1との対応部分に同一符号を付して示す図2にSPSTスイッチ回路の応用回路例を示す。このスイッチ回路12は信号線路に対してシリーズに接続されている2つのFET11及びFET12のドレイン端子及びソース端子とグランドGNDとの間にバイアス用の抵抗R4、R5及びR6を接続したことを特徴としている。

【0025】このスイッチ回路12の場合、回路内にある各FETのドレイン領域及びソース領域はGNDと同電位に直流(DC)バイアスできることにより、外部からこれらドレイン領域及びソース領域をバイアスしなくて済み、実装面積を小型化できる。因にこれら抵抗を用いずに外部回路によってこれら領域をバイアスすると、信号入力端子RF1及び信号出力端子RF2を抵抗又はインダクタによりバイアスしなければならないのに加え、不要信号を抑えるためにグランド間に電源バイ

ざるを得ない。

【0026】またこのスイッチ回路12の場合、抵抗R4、R5、R6がグラウンドGNDに直結されているため、これらの抵抗より漏れた信号を直ちにグラウンドGNDに逃すことができ、IC内におけるこれら抵抗を介したアイソレーションの劣化を回避することができる。因にこれらの抵抗を用いずに、外部回路によつてこれら領域をバイアスするとすると、信号波長に対するサイズのな問題や外部バイアス回路部品の実装ばらつきによる特性の悪化（特に、アイソレーションの悪化）の心配がある。また外部回路を用いる場合には、コストアップや実装面積の増大等のおそれがある。

【0027】以上の構成によれば、スイッチ回路12は信号経路に対して2つのFET11及びFET12がシリーズに接続されていることにより、信号経路に対して1つのFETが接続されている場合に比して合成容量Coffを小さくでき、アイソレーションを高めることができる。しかも素子数は少なくて済みチップ面積も小さくできる。

【0028】またこれに加えて、信号経路に対してシリーズに接続された2つのFET11及びFET12のドレイン領域及びソース領域を内部抵抗R4～R6によつてグラウンドGNDと同電位にバイアスしたことにより、外部バイアス回路をなくし得、実装面積に優れたスイッチ回路を実現することができる。これにより低挿入損失及び高アイソレーションを両立しつつ小型で安価なスイッチ回路を実現できる。

【0029】（1-3）DCカット容量付きT型SPSTスイッチ回路

図2との対応部分に同一符号を付して示す図3にSPSTスイッチ回路の応用回路例を示す。このスイッチ回路13は信号経路に対してシヤントに接続されているFET13とグラウンドGNDとの間に容量C1を接続し、FET13をグラウンドGNDに対して直流的に分離したことを特徴としている。

【0030】このスイッチ回路13の場合、FET11～FET13のドレイン領域及びソース領域が容量C1によつてグラウンドGNDより分離されていることにより、電圧Vdd1に応じた任意のバイアス電圧を各FETのドレイン領域及びソース領域に印加することができる。すなわちこれら領域を正にバイアスすることもできる。このとき電圧Vdd1の値を正の適当な値に設定すれば、制御端子CTL1及びCTL2に印加される制御電圧として正電圧のみを用いる場合でも各FETのゲートのドレイン及びソースに対する相対的な電位として負の電圧を発生させることができる。これにより正電源のみによるスイッチング動作を実現できる。

【0031】しかもスイッチ回路13の場合、ICの外部においてグラウンドGNDをDCカットする必要がないので実装面積の節約やDCカット容量の実装による特性

の劣化を防止できる。またこのスイッチ回路13の場合、バイアス抵抗R4～R7を介して漏れたきた信号を容量C1を介してグラウンドGNDに流すことができるため、これら抵抗を介したアイソレーションの劣化はほとんど起こらない。これにより低挿入損失及び高アイソレーションを両立しつつ小型化、低価格化及び正電源駆動化を実現することができるスイッチ回路を得ることができる。

【0032】（2）SPDTSwitch回路

次に前述のSPSTスイッチ回路を組み合わせたスイッチ回路の1つであるSPDTSwitch回路について述べる。ここではバイアス電圧の与え方やグラウンドGNDに対する直流カットの仕方に依りていくつかの接続例を説明する。

【0033】（2-1）DCカット容量付きSPDTSwitch回路

図4にSPDTSwitch回路の基本構成を示す。このスイッチ回路14は第1の信号経路（信号端子RF11～信号端子RF12）及び第2の信号経路（信号端子RF11～信号端子RF13）のそれぞれに図2に示す構成のSPSTスイッチ回路を接続して構成されている。

【0034】ここで第1の信号経路に対してシリーズに接続されているのがFET11及びFET12の2つであり、シヤントに接続されているのがFET13である。また第2の信号経路に対してシリーズに接続されているのがFET14及びFET15であり、シヤントに接続されているのがFET16である。

【0035】さらに信号経路に対してシリーズに接続されているFET11、FET12、FET14及びFET15のドレイン端子及びソース端子とグラウンドGNDとの間にはバイアス用の抵抗R7、R8、R9、R10、R11が接続されている。これによりスイッチ回路内の各FETのドレイン領域及びソース領域はGND1又はGND2と同電位にDCバイアスすることができる。

【0036】例えばGND1及びGND2の電位を0

[V]を印加し、制御端子CTL1及びCTL2にそれぞれ1[V]及び-3[V]の電圧を印加すると、各FETには次の電位が印加される。まずFET11、FET12及びFET16のゲートには各FETのドレイン又はソースに対して約1[V]が印加される。またFET13、FET14及びFET15のゲートには約-3[V]の電圧が印加される。

【0037】ここでICに用いられるFETのピンチオフ電圧Vpを-1[V]とすると、ゲートに1[V]のバイアス電圧が印加されたときFETはオンする。またゲートが-3[V]のバイアス電圧が印加されたときFETはオフする。すなわち制御端子CTL1に1[V]に印加し、制御端子CTL2に-3[V]に印加したとき、FET11、FET12、FET16がオンし、F

ET13、FET14、FET15がオフする。これにより第1の信号経路(RF11-RF12)がオンとなる。一方、第2の信号経路(RF11-RF13)に対してシリーズに接続されたFETはオフし、シャントに接続されたFETはオンとなる。これにより第2の信号経路としてはオフとなる。

【0038】これとは逆に制御端子CTL1及びCTL2に-3[V]及び1[V]のバイアスを印加すると、第1の信号経路(RF11-RF12)間がオフし、第2の信号経路(RF11-RF13)間がオンとなる。このように制御端子CTL1及びCTL2に1[V]又は-3[V]を印加することにより、第1の信号経路(RF11-RF12)と第2の信号経路(RF11-RF13)間のスイッチ切り換えが可能となる。

【0039】またスイッチ回路内の各FETのドレイン領域及びソース領域は抵抗R7、R8、R9、R10、R11を介してGND1又はGND2と同電位にDCバイアスされることにより、外部からこれらドレイン領域及びソース領域に対してバイアスする必要をなくすることができる。因に外部回路によつてこれら領域をバイアスする場合、一般には信号端子RF1、RF2、ERF3を抵抗又はインダクタによりバイアスし、かつ不要信号を抑えるためグラント間に電源バイパス容量を設けなければならない。

【0040】またこのスイッチ回路14の場合、抵抗R7、R8、R9、R10、R11がグラントGNDに直結されていることにより、これらの抵抗より漏れたきた信号は直ちにグラントGNDに逃されるためIC内でのこれらの抵抗を介したアイソレーションの悪化は起こらない。仮にこれらの抵抗なしで外部バイアスを行つたとすると、信号波長に対するサイズの問題や外部バイアス回路の部品実装のばらつきによる特性の悪化(特にアイソレーションの悪化)の心配が起こる。また外部バイアス回路によるコストアップや実装面積の増大等につながり、携帯端末等としては好ましくない。

【0041】以上の構成において、スイッチ回路14の動作特性を説明する。図4に示すように、スイッチ回路14は基本的には信号経路に対して2個のシリーズFETと1個のシャントFETが接続されたT型構造によりアイソレーション特性を向上させたものである。このスイッチ回路14の挿入損失とアイソレーションの周波数依存性を図5に示す。また図13に示した従来回路の挿入損失とアイソレーションの周波数依存性を図6に示す。

【0042】ただしこのシミュレーションに用いたFETはゲート長0.5[μm]のGaAs接合型FETのものであり、オン抵抗Ronを2[Ω]、オフ容量Coffを300[fF]とする。また制御端子CTL1及びCTL2を1/-2[V]で制御したとする。また図4のスイッチ回路14と図13のスイッチ回路1の挿入損失を同

程度とするため、図4のシリーズFETのゲート幅を600[μm]とし、図13のシリーズFETのゲート幅を300[μm]とする。これは信号経路に対してシリーズに接続されるFETのオン抵抗を同じにする条件から決めた値である。

【0043】このとき実施例のスイッチ回路14の挿入損失は例えば2[GHz]で約0.65[dB]であるのに対して、従来回路1の挿入損失は2[GHz]で約0.61[dB]でありほぼ同じである。一方、実施例のスイッチ回路14のアイソレーションは2[GHz]で約61.0[dB]であるのに対し、従来回路1のアイソレーションは48.6[dB]であり、実施例のスイッチ回路14の方が約12[dB]大きくなっていることが分かる。さらにそれ以下の準マイクロ波帯では実施例のスイッチ回路14のアイソレーションがそれ以上の差で優れていることが分かる。

【0044】また図14のスイッチ回路2のように、シリーズFETとシャントFETのT型構造を多段(この場合2段)接続してもアイソレーション特性を向上させることができる。この場合、挿入損失を図13に示すスイッチ回路1と図4のスイッチ回路14の場合と同程度とするため、シリーズFETのゲート幅を900[μm]とし、またシャントFETのゲート幅を600[μm]とする。この時、従来回路2の挿入損失とアイソレーションの周波数依存性のシミュレーション結果を図7に示す。

【0045】図7より従来回路2の挿入損失は2[GHz]で約0.79[dB]となり、実施例のスイッチ回路14及び従来回路1に比べ挿入損失が大きくなっていることが分かる。これはシリーズFETのゲート幅を増やしたためオフ側のシリーズFET(第1の信号経路RF1-RF2間がオンとする場合、第2の信号経路RF1-RF3上にあるFET6)からの信号漏れが増加するためである。

【0046】そこで第2の信号経路RF1-RF3上にあるシリーズFETからの信号漏れを小さくするためシリーズFETのゲート幅を小さくすることが考えられるが、この場合にはオン状態のFET(第1の信号経路RF1-RF2間がオンの時は、FET11、FET2、FET3)のオン抵抗Ronが増加して結果として損失は増加してしまう。このようにスイッチ回路の段数を増加した場合、損失の増加を避けることはできない。

【0047】一方、アイソレーション特性は図14のスイッチ回路2の方が約93[dB]と大幅に向上する。しかし今までに得られた挿入損失やアイソレーションのシミュレーション結果は、それぞれの回路のグラント領域が理想的の場合である。一般に携帯端末ではスイッチICの小型化と低コスト化が必須であるため、ICパッケージには安価で小型化が可能なブラストラックモールドパッケージが用いられる場合が多い。



11

【0048】この場合、半導体基板のグランド領域とICパッケージのグランド端子とは、径の小さなボンディングワイヤで接続されるため、準マイクロ波帯においては、このワイヤのインダクタンス成分が無視できなくなる。一般に小型プラスチックモールドパッケージでは1～2 [nH] 程度のインダクタンスをもつのが普通である。またパッケージの端子自身もある程度の（例えば0.5 [nH]）インダクタンスをもつ。

【0049】そこで図4、図13、図14のスイッチ回路の半導体基板上のグランドが共通であり（図4及び図13のスイッチ回路14及び1の場合はグランドGND1とGND2、図14のスイッチ回路2の場合はGND1～GND4）、このグランドよりパッケージのグランド端子にインダクタを介して接続しているという条件の下、アイソレーション特性をシミュレーションし、これを図8に示す。ただしパッケージのグランドは理想的とし、半導体基板とパッケージの間のインダクタンスはそれぞれ0.1 [nH]、0.25 [nH]、0.5 [nH] とした。

【0050】これによれば、図14のように段数を増加させたスイッチ回路2のアイソレーションが大幅に劣化しており、図4に示す実施例のスイッチ回路14が最も優れていることが分かる。これはスイッチ回路2の場合、理想的でないグランド領域とシヤントFETを介して信号が漏れてしまうからである。例えば第1の信号経路RF1～RF2間がオフの時は、FET5、FET9、FET10より理想的でないグランド領域に漏れた信号がFET4及びFET1を順に介して信号端子RF1に漏れてしまうためである。

【0051】因にこのような現象は図13のスイッチ回路1の場合でも起こるが、FET1のゲート幅が図14のスイッチ回路2の場合の方が大きいため、寄生インダクタンスによるインダクタンスの劣化が大きくなる。以上のことはスイッチの段数をさらに増加した場合にも言え、実際のICにおいても0.1 [nH] 程度の小さなインダクタンスは避けられない。

【0052】また段数を増加するということは、半導体基板サイズを増加するということである。従つて小型化と安価なパッケージが前提とされ、挿入損失をある程度小さく抑えることを考えれば、準マイクロ波帯において大きなアイソレーションを必要とする携帯端末のような用途にとつては図4に示す構成のスイッチ回路14が最も優れていることが分かる。

【0053】また図8には半導体基板上のグランド領域を各シヤントFETに対して独立させた場合のアイソレーション特性が示されている。例えばグランドの寄生インダクタンスLが0.5 [nH] の場合、図4、図13、図14のどのスイッチ回路についてもアイソレーション特性がグランドを共通とする場合に比して向上している。これはグランドを介した信号の漏れによるアイソレーションの劣化がなくなるためである。ただしグランドが理

12

想的である場合に比してシヤントFETの（寄生インダクタンスLによる）インピーダンスが増加した分、アイソレーションは悪化している。

【0054】因に寄生インダクタンスLを同程度に抑えるため、半導体基板とパッケージを接続するワイヤを図4、図13の場合で2倍、図14の場合で4倍の本数を必要とする。このように半導体基板上のグランド領域を分離することにより、大幅にアイソレーションを改善することができる。

【0055】ただし図8より、グランドが共通の図14の多段型のスイッチ回路2の場合、0.1 [nH] 程度の小さなインダクタンスでアイソレーションは大きく悪化しており、また実際のプラスチックモールドパッケージICでは、グランド端子（リード）にもインダクタンスは存在し、また実装に当たつても寄生インダクタンスを0にすることは不可能である。

【0056】従つて半導体基板上のグランドを分離したとしてもアイソレーションを理想のグランドの状態に近づけることは困難である。このことから基板上のグランドを独立させた場合でも、実施例に示したスイッチ回路14が最も優れていることが分かる。以上の通り、スイッチ回路内の各FETのドレイン領域及びソース領域は抵抗R7、R8、R9、R10、R11を介してGND1又はGND2と同電位にDCバイアスすることにより、安価で小型かつ優れたアイソレーション特性を示すスイッチ回路を実現できる。

【0057】さらにこのスイッチ回路14の場合、ICの信号端子RF1～RF3に容量C4、C5及びC6が接続されている。これにより信号端子RF1～RF3とグランド端子GNDとは外部回路よりDC的に分離されるようになされている。さらに高インピーダンス素子Z1（一般には抵抗又はインダクタ）を介してDCバイアスVdd2が半導体グランドGND1及びGND2に印加され、さらにR7～R11を介して各FETのドレイン及びソース領域に印加される。

【0058】この時、DCバイアスVdd2を正の適当な値にすれば、制御端子CTL1及びCTL2を正の電圧のみでコントロールした場合でも、各FETのゲートのオフバイアスを負にすることが可能となる。例えばDCバイアスVdd2を2 [V] とし、制御電圧CTL1及びCTL2を0/3 [V] でコントロールした場合、各FETのゲートのドレイン及びソースに対する電位は相対的に1/－2となる。

【0059】一般にGaAs・FETのピンチオフ電圧は負又は0 [V] 程度であるのでFETをピンチオフ状態、つまりオフ状態にするためにはゲートに負のバイアスを印加する必要がある。しかしスイッチ回路14の場合、正電源のみによつてゲートのドレインに対する電位とソースに対する電位をそれぞれ負にできるためFETをピンチオフ状態（オフ）にでき、FETをスイッチ動



作させることができる。

【0060】また各ドレイン及びソースのバイアスは基板グランドを介して行われるため、信号経路のドレインやソースから漏れてきた信号は直ちに基板グランドに引き込まれるため、このバイアス経路を介したアイソレーションの悪化はほとんど起こらない。以上の通り、図4に示すスイッチ回路14によれば、小型、安価かつ正電源にて動作でき、高いアイソレーションを示すIC実現が可能となる。

【0061】(2-2) シヤントFETにDCカット容量を付けたSPDTスイッチ回路

図4との対応部分に同一符号を付して示す図9に半導体基板内のシヤントFETとグランド領域の間に容量C1及びC2を設けたスイッチ回路の例を示す。スイッチ回路15は容量C1及びC2によってIC内にあるFETのドレイン領域及びソース領域をそれぞれグランド領域より分離した構成となっている。これによりバイアス用抵抗R12~R18を介してVdd1により各FETのドレイン及びソース領域を正にバイアスできるため前述のように正電源のみの動作が可能となる。

【0062】しかもIC外部でグランドをDCカットする必要がないので、DCカット容量による実装面積の節約や実装による特性の劣化を防止できる。一般にはグランドを容量でカットした場合、余分な寄生容量が増加してアイソレーションの劣化につながるが、このスイッチ回路15の場合、前述のスイッチ回路14と同様、第1及び第2の信号経路をそれぞれT型SPSTスイッチ回路によって構成されており、さらに基板上のグランドGND1及びGND2を分離していることにより、高アイソレーションを示すことが可能となる。

【0063】またスイッチ回路15の場合、半導体基板内のVdd1端子とグランド領域の間に容量C3が設けられていることにより、バイアス抵抗R12~R18を介して漏れたきた信号をグランド領域に引き込むことができることにより、これらの抵抗を介したアイソレーションの劣化はほとんど起こらない。以上の通り、本発明により小型、安価かつ高いアイソレーションが両立できる正電源動作のスイッチ回路を実現することができる。

【0064】(3) グランド金属によるDCバイアス配線のシールド付きSPDT回路

上述のスイッチ回路の例では、各素子や配線間のアイソレーションが完全であると仮定したが、実際にはこれら素子や配線は主に静電的に結合しており、アイソレーションの劣化が生じている。これを図10を用いて説明する。ここで信号(RF)ラインは幅100[μm]であるものとし、幅20[μm]のDCラインと間隔dだけ離れて長さLに亘って並行に並んでいるとする。このときGaAs基板を厚さ200[μm]とすると、RFラインとDCラインとの間のアイソレーション特性は図11のようになる。

【0065】実際のスイッチ回路をT型とし、寄生インダクタンスLを考慮すると、図8より50[dB]程度のアイソレーション(2[GHz])が問題となりそうである。またIC回路の集積を考えた場合、信号ラインとDCライン間は100[μm]以内に納める必要がある。図11を見ると、間隔dが100[μm]の場合、およそ長さLが500[μm]以下のとき、アイソレーションを50[dB]以上を確保することができることが分かる。

【0066】逆にいうと、間隔dが100[μm]以内で長さLが500[μm]以上のとき、RFラインとDCライン間のアイソレーションがスイッチ回路全体のアイソレーションに影響を及ぼす。従ってRFラインとDCラインとの間隔dが100[μm]以内となる場合、長さLが500[μm]以内となるように、図12の構造を採用する。

【0067】図12の構造はDC配線L1の上部に層間絶縁膜D11を介してグランド領域GND1に接続した金属膜MTL1を配置するものである。このようにDC配線L1をグランド領域に接続された2ndメタルによってシールドすることにより、他の素子や配線との結合をなくしてアイソレーションの劣化をなくすることができる。すなわちこの構造を採用することによりDC配線L1と他の素子及び配線との距離を小さくでき、基板面積の小型化が可能となる。また図9の容量C3のようなバイパス容量の役目も同時に果たすことができる。特に信号線の近くにあるDC配線L1の30[%]以上を図12の構造によって覆えば大きな効果が得られる。

【0068】以上の通り、上述のスイッチ回路のそれぞれに図12の構造を採用することにより、高アイソレーションを維持しつつ、半導体基板の小型化、つまりスイッチICの小型化及び低価格化が可能となる。

【0069】(4) 他の実施例

なお上述の実施例においては、FETとグランドGNDとを直流的に分離するためカット容量C1、C2又はC3を用いる場合について述べたが、取り扱う信号周波数に対するこれら容量のインピーダンスは各スイッチ回路において用いられるバイアス用抵抗のインピーダンスに対して30[%]以下に設定すれば良い。

【0070】また上述の実施例においては、FETとしてシングルゲートFETについて述べたが、本発明はこれに限らず、マルチゲートFETによって構成しても良い。さらに上述の実施例においては、GaAs・FETとしたが、これ以外の半導体材料によって構成しても良い。

【0071】また上述のFETは接合型FETやその他の構造のFETに広く適用し得る。さらに上述の実施例においては、スイッチ回路が形成された半導体基板のパッケージとしてプラスチックパッケージを用いる場合について述べたが、本発明はこれに限らず、他のパッケージによって構成しても良い。

【0072】

【発明の効果】上述のように本発明によれば、低挿入損失かつ高アイソレーションのスイッチ回路を3つのFETを組み合わせてスイッチ回路を構成できるため小型化を両立することができる。

【図面の簡単な説明】

【図1】本発明によるSPSTスイッチ回路を内蔵する半導体集積回路の一例を示す接続図である。

【図2】本発明によるSPSTスイッチ回路を内蔵する半導体集積回路の一例を示す接続図である。

【図3】本発明によるSPSTスイッチ回路を内蔵する半導体集積回路の一例を示す接続図である。

【図4】本発明によるSPDTスイッチ回路を内蔵する半導体集積回路の一例を示す接続図である。

【図5】本発明によるSPDTスイッチ回路の挿入損失及びアイソレーション特性を示す特性曲線図である。

【図6】従来回路によるSPDTスイッチ回路の挿入損失及びアイソレーション特性を示す特性曲線図である。

【図1】

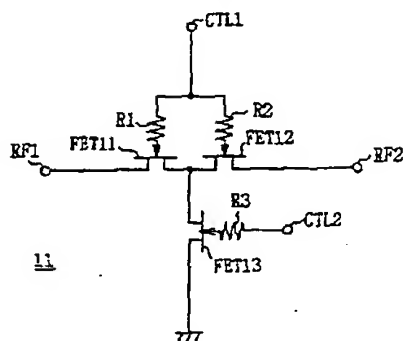


図1 実施例によるSPSTスイッチ回路(1)

【図2】

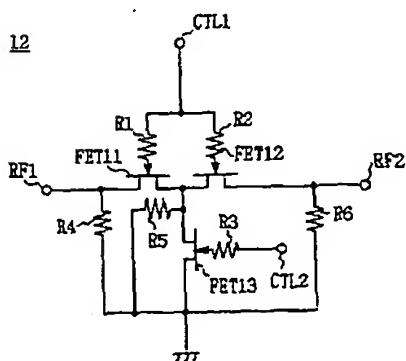


図2 実施例によるSPSTスイッチ回路(2)

【図7】従来回路によるSPDTスイッチ回路の挿入損失及びアイソレーション特性を示す特性曲線図である。

【図8】各SPDTスイッチ回路のアイソレーション特性結果を示す略線図である。

【図9】本発明によるSPDTスイッチ回路を内蔵する半導体集積回路の一例を示す接続図である。

【図10】DCラインとRFラインとの配置関係を示す略線図である。

【図11】DCラインとRFラインとアイソレーション特性を示す特性曲線図である。

【図12】グラウンドに接続された金属膜によるDCラインのシールド構造の説明に供する略線の斜視図である。

【図13】従来のスイッチ回路を示す接続図である。

【図14】従来のスイッチ回路を示す接続図である。

【符号の説明】

1、2、11、12、13、14、15……スイッチ回路、RF1、RF2、RF3……信号端子、CTL1、CTL2……制御端子。

【図10】

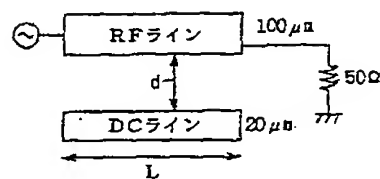


図10 配線パターン

【図3】

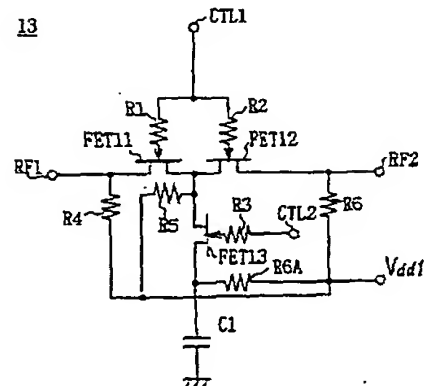


図3 実施例によるSPSTスイッチ回路(3)

【図4】

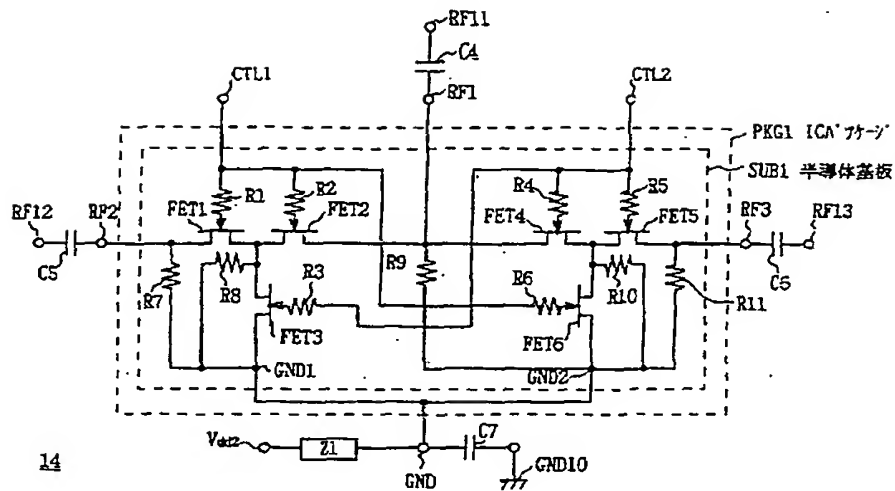


図4 実施例によるSPSTスイッチ回路(1)

【図5】

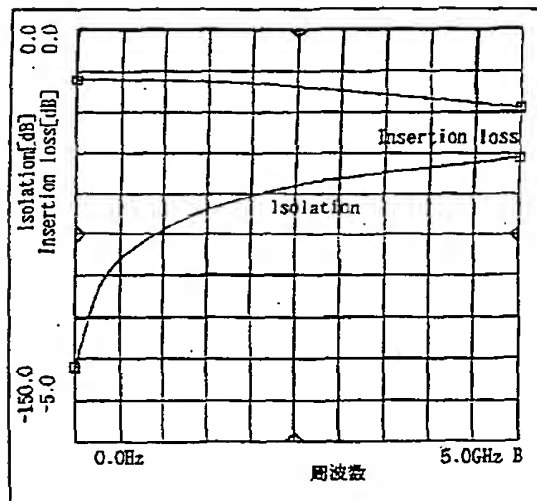


図5 実施例のスイッチ回路(図4)の挿入損失及びアイソレーション特性

【図6】

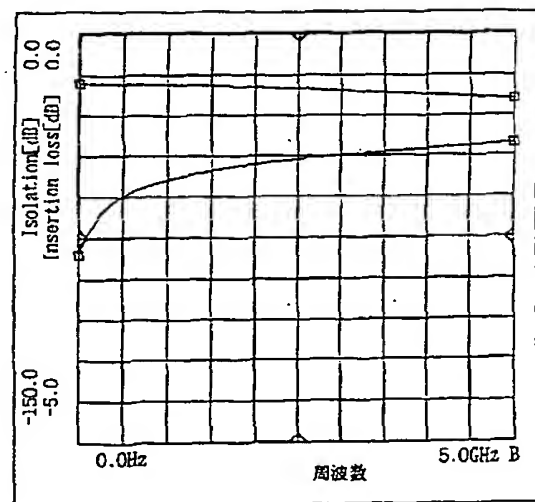
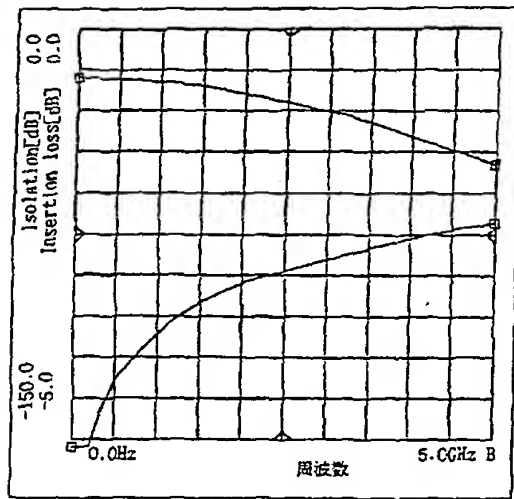
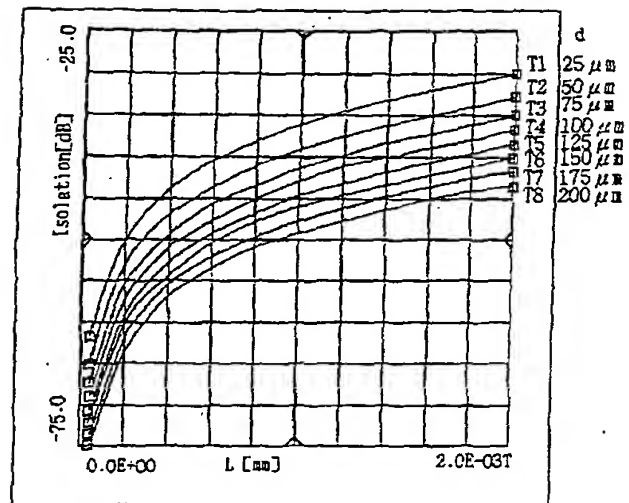


図6 従来のスイッチ回路(図13)の挿入損失及びアイソレーション特性

【図7】

図7 従来のスイッチ回路(図14)の  
挿入損失及びアイソレーション特性

【図11】

図11 RFライン-DCライン間の  
アイソレーション特性(2GHz)

【図8】

SPDT タイプ	寄生Lが 無い場合	半導体基板上のグラウンドが共通の場合			半導体基板上のグラウンドが 独立している場合	
		寄生L 0.1nH	寄生L 0.25nH	寄生L 0.5nH	寄生L 0.5nH	寄生L 1nH
図13の SPDT-SW	48.6dB	45.3dB	39.6dB	34.0dB	42.0dB	36.8dB
図4の SPDT-SW	61.0dB	59.1dB	54.5dB	49.1dB	54.2dB	48.7dB
図14の SPDT-SW	93.2dB	55.4dB	47.3dB	41.0dB	79.3dB	68.0dB

図8 各タイプSPDTスイッチのアイソレーション値のシミュレーション結果

【図9】

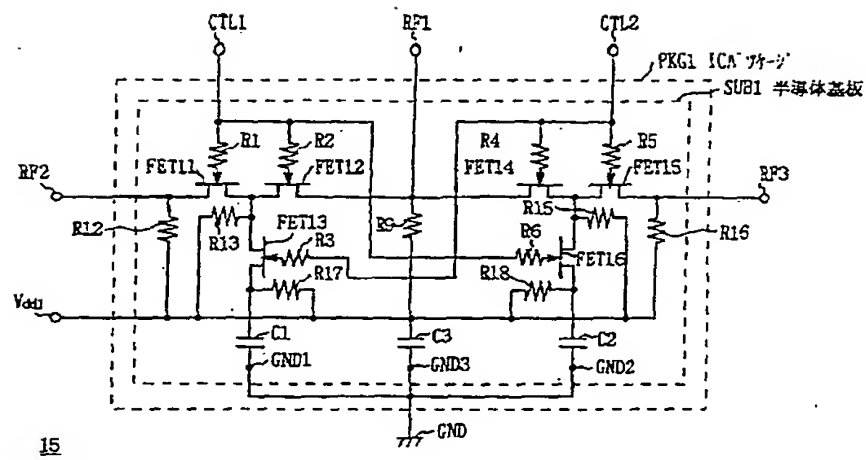


図9 実施例によるSPDTスイッチ回路(2)

【図12】

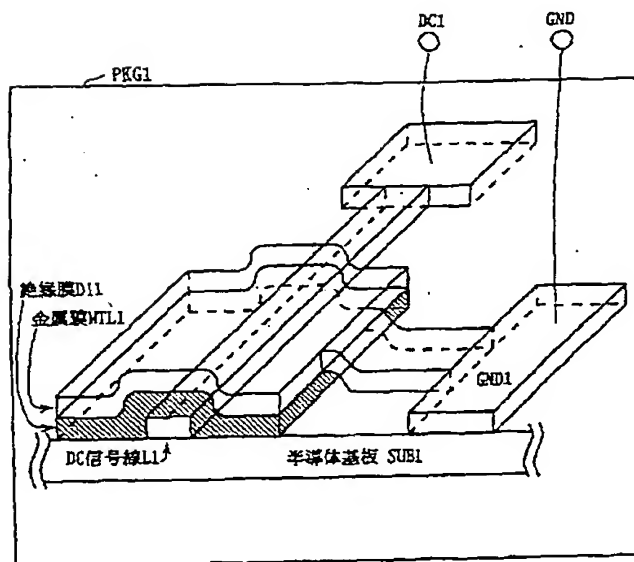


図12 GND電位の金属膜による信号線のシールド

【図13】

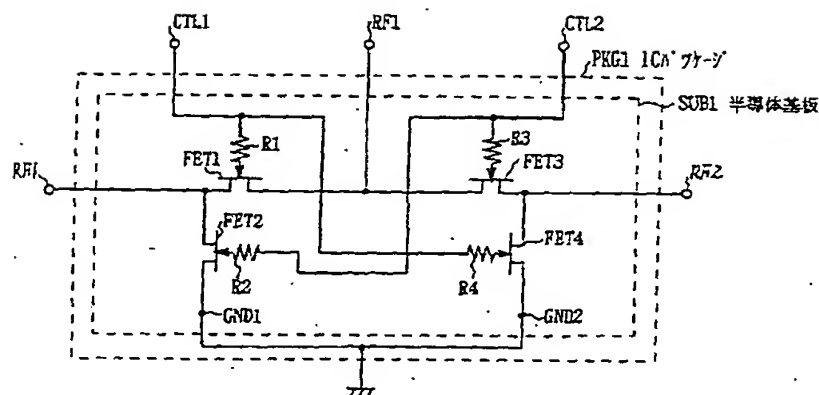


図13 従来型のスイッチ回路(1)

【図14】

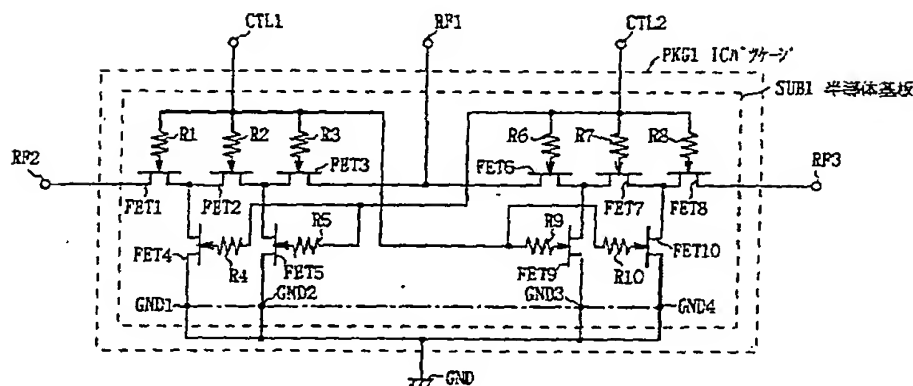


図14 従来型のスイッチ回路(2)

## 【手続補正書】

【提出日】平成8年3月29日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項2

【補正方法】変更

【補正内容】

【請求項2】第1の信号端子と第2の信号端子とを連絡する第1の信号経路に対してシリーズに接続された第1及び第2のFETと、  
上記第1及び第2のFETの接続中点と第1のグラウンド領域との間に接続された第3のFETと、  
上記第1のFETのゲート端子と、当該第1のFET及び上記第2のFETを制御する第1の制御端子との間に

接続された第1の高インピーダンス素子と、  
上記第2のFETのゲート端子と上記第1の制御端子との間に接続された第2の高インピーダンス素子と、  
上記第1の信号端子と第3の信号端子とを連絡する第2の信号経路に対してシリーズに接続された第4及び第5のFETと、  
上記第4及び第5のFETの接続中点と第2のグラウンド領域との間に接続された第6のFETと、  
上記第4のFETのゲート端子と、当該第4のFET及び上記第5のFETを制御する第2の制御端子との間に接続された第3の高インピーダンス素子と、  
上記第5のFETのゲート端子と上記第2の制御端子との間に接続された第4の高インピーダンス素子とを具備

ることを特徴とする半導体集積回路装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項5

【補正方法】変更

【補正内容】

【請求項5】上記第3のFETに接続されているグラウンド領域は半導体基板上の他のグラウンド領域に対して分離して設けられていることを特徴とする請求項1に記載の半導体集積回路装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】請求項6

【補正方法】変更

【補正内容】

【請求項6】上記第1のグラウンド領域と上記第2グラウンド領域とは互いに分離されており、かつ上記第1及び第2のグラウンド領域はそれぞれ半導体基板上の他のグラウンド領域に対しても分離されていることを特徴とする請求項2に記載の半導体集積回路装置。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】このとき実施例のスイッチ回路14の挿入損失は例えば2 [GHz]で約0.65 [dB]であるのに対して、従来回路1の挿入損失は2 [GHz]で約0.61 [dB]でありほぼ同じである。一方、実施例のスイッチ回路14のアイソレーションは2 [GHz]で約61.0 [dB]であるのに対し、従来回路1のアイソレーションは48.6 [dB]であり、実施例のスイッチ回路14の方が約12 [dB]大きくなっていることが分かる。さらにそれ以下の準マイクロ波帯では実施例のスイッチ回路14のアイソレーションがそれ以上の差で優れていることが分かる。

【手続補正5】

【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】

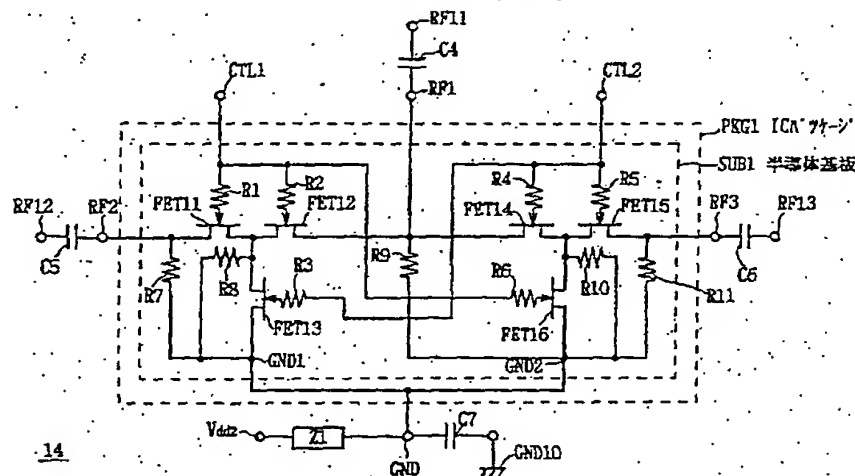


図4 実施例によるSPDTスイッチ回路(1)